

**POLITECNICO DI TORINO**  
**ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE**  
**DI INGEGNERE DELL'INFORMAZIONE**

I Sessione 2011 - Sezione A

Settore dell'Informazione  
 Classe 32/S – Ingegneria ELETTRONICA

Prova pratica del 28 luglio 2011

Si debba progettare un sistema in grado di effettuare la FFT (Fast Fourier Transform) su 512 campioni reali su 12 bit in complemento a due in forma frazionaria (numeri compresi tra -1 e +1) in un tempo massimo di 1 millisecondo.

La FFT esegue il seguente algoritmo:

$$X_N(k) = \sum_{n=0}^{N-1} x(n) e^{-j \frac{2\pi}{N} nk}$$

dove  $x(n)$  sono i campioni nel dominio del tempo,  $X_N(k)$  quelli trasformati nel dominio della frequenza e  $N$  il numero di campioni (nell'esempio proposto pari a 512).

Se si definiscono i Twiddle factor (numeri complessi che si trovano sul cerchio di raggio unitario nel piano complesso)

$$W_N^m = \cos\left(\frac{2\pi}{N}m\right) - j \cdot \sin\left(\frac{2\pi}{N}m\right)$$

l'algoritmo puo' essere riscritto come

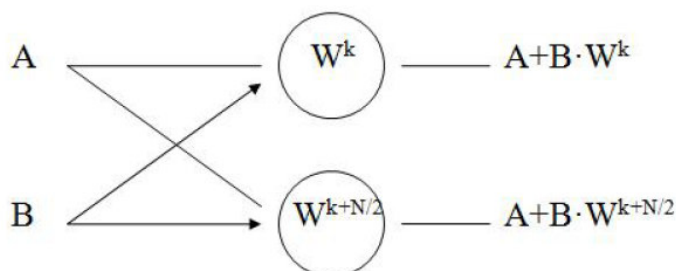
$$X_N(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk}$$

Per rendere piu' veloce l'esecuzione della FFT, diversi algoritmi sono stati proposti. Uno di questi, detto di Cooley-Tukey, permette di minimizzare il numero di operazioni ripetute scomponendo ricorsivamente la trasformata come somme ripetute di trasformate su insiemi via via più ristretti di punti (decimazione nel tempo o nella frequenza), fino alla struttura base identificata in letteratura come *Butterfly*, in grado di effettuare le seguenti operazioni su due punti A e B:

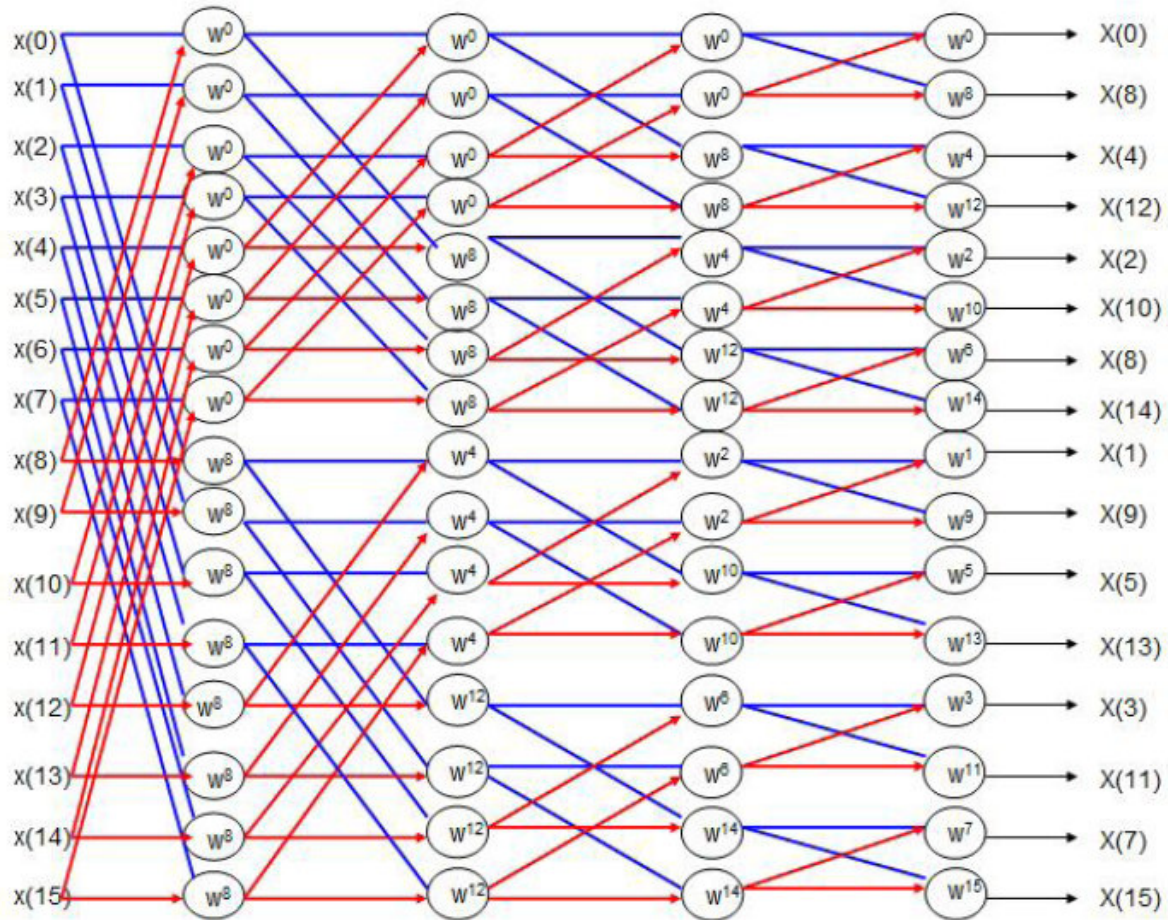
$$A' = A + Bw^k$$

$$B' = A + Bw^{k+\frac{N}{2}} = A - Bw^k$$

e con rappresentazione grafica:



Nell'esempio della figura seguente è riportato l'algoritmo in forma grafica nell'ipotesi di un numero di campioni pari a 16:



Il candidato, sulla base delle proprie conoscenze, affronti i seguenti punti:

1. Studio della complessità computazionale dell'algoritmo nel caso in questione e analisi dei diversi scenari realizzativi (dall'approccio software fino al progetto di un circuito hardware dedicato) mettendo in evidenza in modo critico la soluzione che ritiene di proporre in termini di prestazioni e rispondenza ai requisiti richiesti.
2. Analisi del formato interno dei dati (e dei dati di uscita) e delle specifiche degli operatori richiesti per lo svolgimento dei calcoli al fine di garantire risultati corretti senza possibilità di overflow o perdita di risoluzione.
3. Progetto di massima di un circuito hardware dedicato in grado di effettuare la FFT, con dimensionamento dei blocchi e un'analisi critica in termini di prestazioni/ingombro/consumo. Si identifichi una tecnologia realizzativa ottimizzata per la realizzazione del progetto.
4. Progetto e descrizione in VHDL sintetizzabile del Processing Element in grado di effettuare una Butterfly, ottimizzata secondo quanto necessario per il soddisfacimento delle specifiche.