

**POLITECNICO DI TORINO**  
**ESAMI DI STATO PER L'ABILITAZIONE ALL'ESERCIZIO**  
**DELLA PROFESSIONE DI INGEGNERE DELL'INFORMAZIONE**

**Il Sessione 2019 - Sezione A**  
**Settore dell'Informazione**

**Prova PRATICA del 20 dicembre 2019**

*Il Candidato svolga uno a scelta fra i seguenti temi proposti.*

*Gli elaborati prodotti dovranno essere stilati in forma chiara, ordinata, sintetica e leggibile.*

*La completezza, l'attinenza e la chiarezza espositiva costituiranno elementi di valutazione.*

### Tema n. 1

L'obiettivo della prova è il progetto di un generatore di funzioni digitale, basato su dispositivo FPGA e completato da un convertitore DA, un filtro di ricostruzione e un amplificatore esterni.

#### Specifiche e dati

- Il generatore deve fornire su uscite distinte le funzioni onda quadra, onda sinusoidale e onda sinusoidale attenuata esponenzialmente.
- Per ciascun segnale, l'ampiezza zero-picco deve poter essere regolata con continuità tra 0.5 V e 5 V.
- La frequenza dei primi due segnali e del fattore sinusoidale del terzo deve poter essere regolata tra 1 Hz e 10 kHz a passi di 1 Hz.
- Per il terzo segnale, il fattore esponenziale ha costante di tempo compresa tra  $2/f_0$  e  $200/f_0$ , dove  $f_0$  è la frequenza selezionata per il fattore sinusoidale.
- L'SFDR (Spurious-Free Dynamic Range), definito come il rapporto in dB tra l'ampiezza della componente alla frequenza fondamentale e quella della principale componente spuria, deve essere almeno pari a 60 dB.
- Le funzioni richieste devono essere generate in forma digitale usando un dispositivo FPGA. A tale scopo, è possibile usare l'approccio DDS (Direct Digital Synthesizer) descritto in allegato.
- La generazione dei segnali finali in forma analogica è realizzata usando un convertitore DAC e un filtro di ricostruzione. Un amplificatore a guadagno variabile permette infine di regolare l'ampiezza di picco.

Sulla base delle specifiche, il candidato:

- proponga uno schema complessivo del sistema che possa realizzare le funzionalità richieste, descrivendo il funzionamento di ciascun blocco utilizzato;
- descriva lo schema di dettaglio dell'unità digitale che genera i segnali (DDS), soffermandosi in particolare sugli elementi necessari per supportare la variabilità della frequenza e della costante di tempo;
- fornisca il codice VHDL (o Verilog) behavioural e sintetizzabile necessario per l'implementazione dell'unità DDS su dispositivo FPGA;
- descriva i componenti esterni, indicandone la tipologia, le caratteristiche e ogni dimensionamento necessario a soddisfare le specifiche;
- verifichi sulla base delle scelte di progetto fatte che il generatore soddisfi le specifiche.

Allegati:

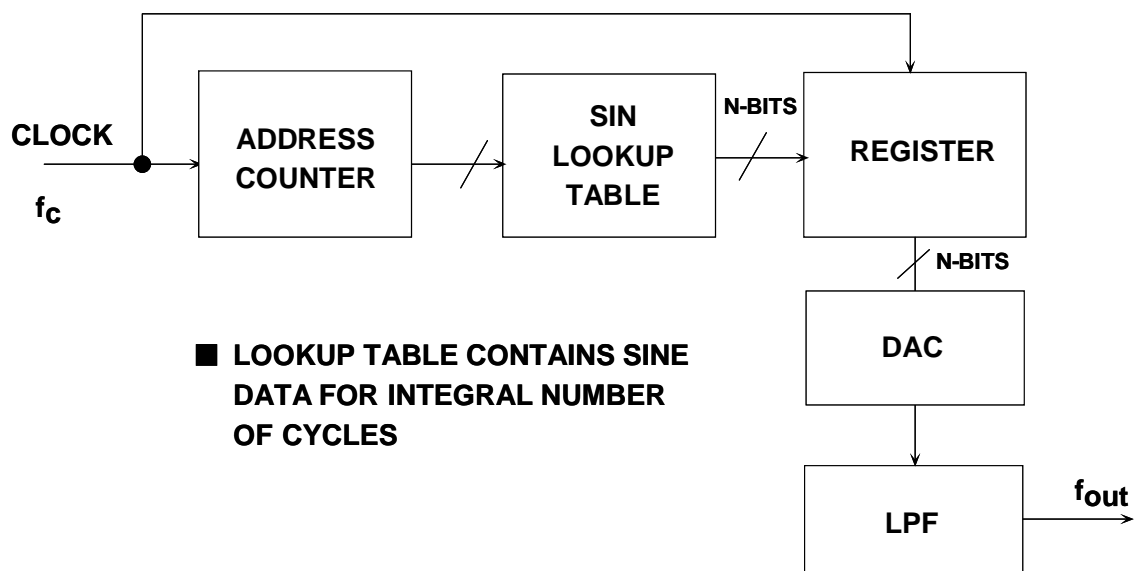
- Analog Devices, MT-085 Tutorial, Rev.0, Oct. 2008

## Fundamentals of Direct Digital Synthesis (DDS)

### FUNDAMENTAL DDS ARCHITECTURE

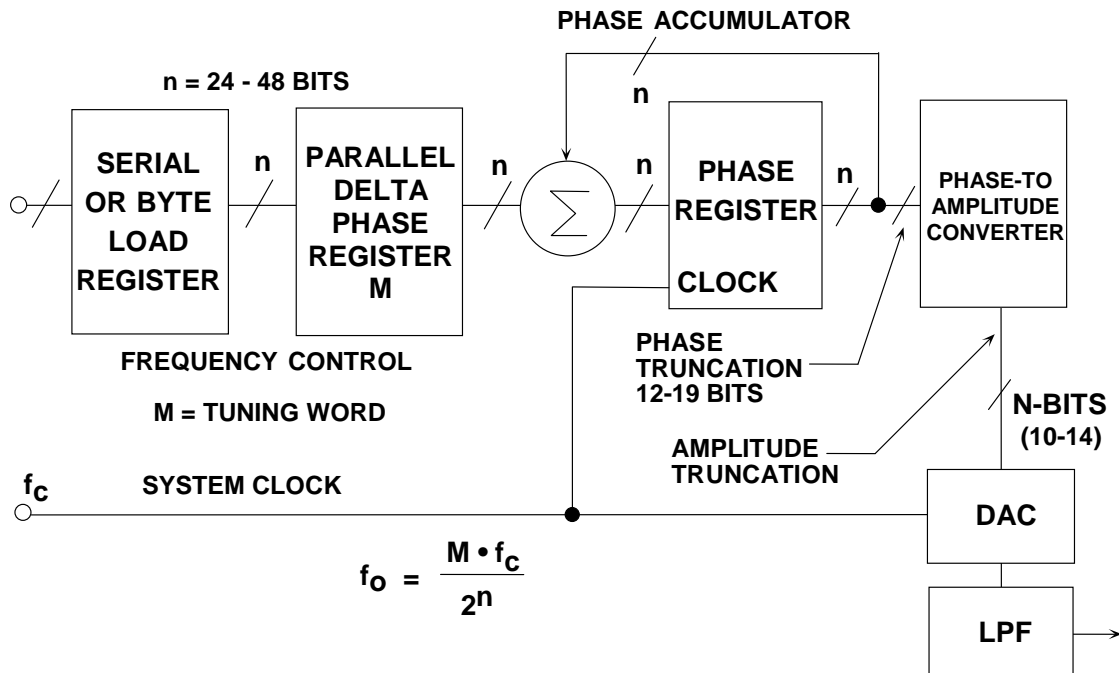
With the widespread use of digital techniques in instrumentation and communications systems, a digitally-controlled method of generating multiple frequencies from a reference frequency source has evolved called Direct Digital Synthesis (DDS). The basic architecture is shown in Figure 1. In this simplified model, a stable clock drives a programmable-read-only-memory (PROM) which stores one or more integral number of cycles of a sinewave (or other arbitrary waveform, for that matter). As the address counter steps through each memory location, the corresponding digital amplitude of the signal at each location drives a DAC which in turn generates the analog output signal. The spectral purity of the final analog output signal is determined primarily by the DAC. The phase noise is basically that of the reference clock.

Because a DDS system is a sampled data system, all the issues involved in sampling must be considered: quantization noise, aliasing, filtering, etc. For instance, the higher order harmonics of the DAC output frequencies fold back into the Nyquist bandwidth, making them unfilterable, whereas, the higher order harmonics of the output of PLL-based synthesizers can be filtered. There are other considerations which will be discussed shortly.



**Figure 1 : Fundamental Direct Digital Synthesis System**

A fundamental problem with this simple DDS system is that the final output frequency can be changed only by changing the reference clock frequency or by reprogramming the PROM, making it rather inflexible. A practical DDS system implements this basic function in a much more flexible and efficient manner using digital hardware called a Numerically Controlled Oscillator (NCO). A block diagram of such a system is shown in Figure 2.



**Figure 2: A Flexible DDS System**

The heart of the system is the *phase accumulator* whose contents is updated once each clock cycle. Each time the phase accumulator is updated, the digital number, M, stored in the *delta phase register* is added to the number in the phase accumulator register. Assume that the number in the delta phase register is 00...01 and that the initial contents of the phase accumulator is 00...00. The phase accumulator is updated by 00...01 on each clock cycle. If the accumulator is 32-bits wide,  $2^{32}$  clock cycles (over 4 billion) are required before the phase accumulator returns to 00...00, and the cycle repeats.

The truncated output of the phase accumulator serves as the address to a sine (or cosine) lookup table. Each address in the lookup table corresponds to a phase point on the sinewave from  $0^\circ$  to  $360^\circ$ . The lookup table contains the corresponding digital amplitude information for one complete cycle of a sinewave. (Actually, only data for  $90^\circ$  is required because the quadrature data is contained in the two MSBs). The lookup table therefore maps the phase information from the phase accumulator into a digital amplitude word, which in turn drives the DAC. This is shown graphically using the "phase wheel" in Figure 3.

Consider the case for  $n = 32$ , and  $M = 1$ . The phase accumulator steps through each of  $2^{32}$  possible outputs before it overflows and restarts. The corresponding output sinewave frequency is equal to the input clock frequency divided by  $2^{32}$ . If  $M=2$ , then the phase accumulator register "rolls over" twice as fast, and the output frequency is doubled. This can be generalized as follows.

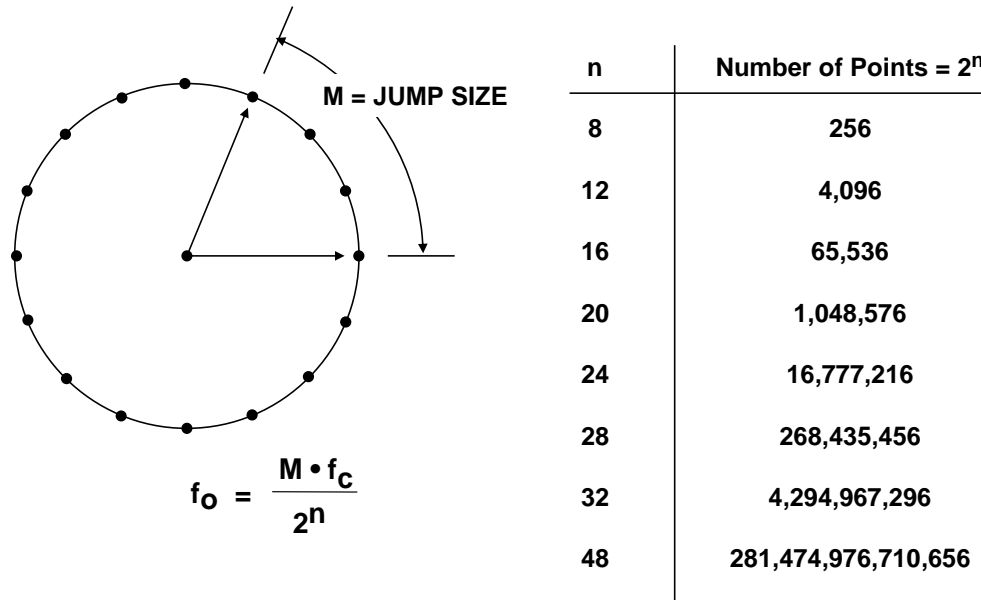
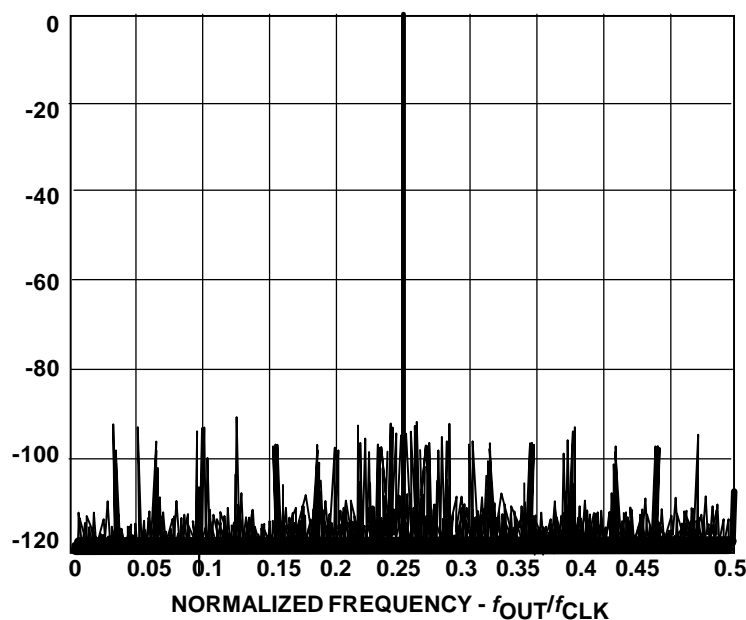


Figure 3: Digital Phase Wheel

For an n-bit phase accumulator (n generally ranges from 24 to 32 in most DDS systems), there are  $2^n$  possible phase points. The digital word in the delta phase register, M, represents the amount the phase accumulator is incremented each clock cycle. If  $f_c$  is the clock frequency, then the frequency of the output sinewave is equal to:

$$f_o = \frac{M \cdot f_c}{2^n}. \tag{Eq. 1}$$

This equation is known as the DDS "tuning equation." Note that the frequency resolution of the system is equal to  $f_c/2^n$ . For  $n = 32$ , the resolution is greater than one part in four billion! In a practical DDS system, all the bits out of the phase accumulator are not passed on to the lookup table, but are truncated, leaving only the first 13 to 15 MSBs. This reduces the size of the lookup table and does not affect the frequency resolution. The phase truncation only adds a small but acceptable amount of phase noise to the final output. (See Figure 4).



**Figure 4: Calculated Output Spectrum Shows 90 dB SFDR for 15-bit Phase Truncation**

The resolution of the DAC is typically 2 to 4 bits less than the width of the lookup table. Even a perfect N-bit DAC will add quantization noise to the output. Figure 4 shows the calculated output spectrum for a 32-bit phase accumulator, 15-bit phase truncation. The value of M was chosen so that the output frequency was slightly offset from 0.25 times the clock frequency. Note that the spurs caused by the phase truncation and the finite DAC resolution are all at least 90 dB below the fullscale output. This performance far exceeds that of any commercially available 12-bit DAC and is adequate for most applications.

The basic DDS system described above is extremely flexible and has high resolution. The frequency can be changed instantaneously with no phase discontinuity by simply changing the contents of the M-register. However, practical DDS systems first require the execution of a serial, or byte-loading sequence to get the new frequency word into an internal buffer register which precedes the parallel-output M-register. This is done to minimize package pin count. After the new word is loaded into the buffer register, the parallel-output delta phase register is clocked, thereby changing all the bits simultaneously. The number of clock cycles required to load the delta-phase buffer register determines the maximum rate at which the output frequency can be changed.

### ALIASING IN DDS SYSTEMS

There is one important limitation to the range of output frequencies that can be generated from the simple DDS system. The Nyquist Criteria states that the clock frequency (sample rate) must be at least twice the output frequency. Practical limitations restrict the actual highest output frequency to about 1/3 the clock frequency. Figure 5 shows the output of a DAC in a DDS

system where the output frequency is 30 MHz and the clock frequency is 100 MHz. An antialiasing filter must follow the reconstruction DAC to remove the lower image frequency (100 – 30 = 70 MHz) as shown in the figure.

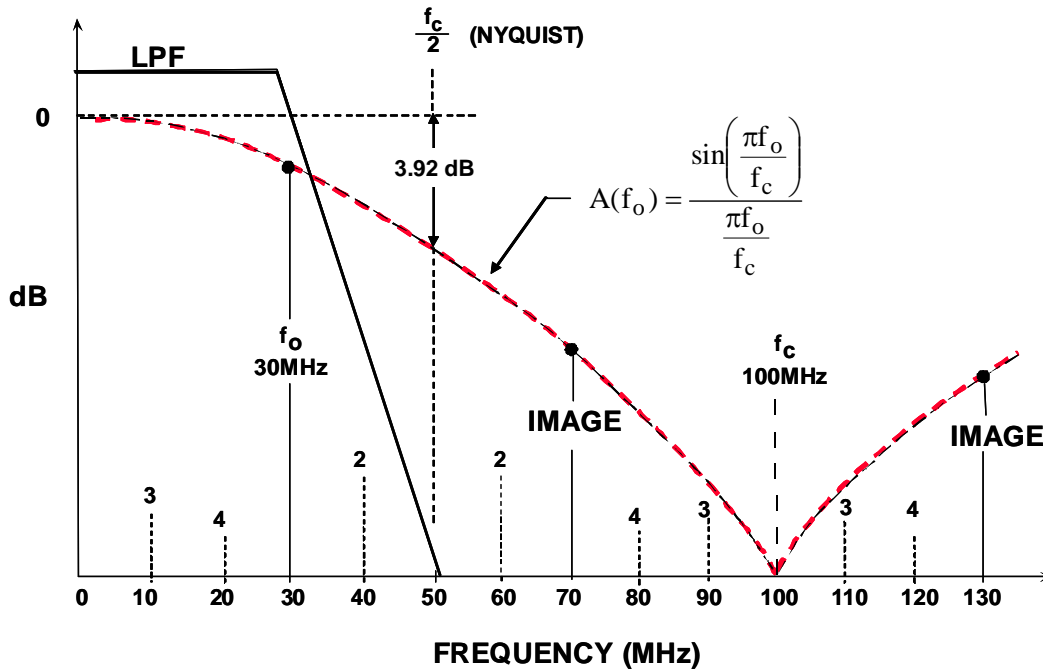


Figure 5: Aliasing in a DDS System

Note that the amplitude response of the DAC output (before filtering) follows a  $\sin(x)/x$  response with zeros at the clock frequency and multiples thereof. The exact equation for the normalized output amplitude,  $A(f_o)$ , is given by:

$$A(f_o) = \frac{\sin\left(\frac{\pi f_o}{f_c}\right)}{\frac{\pi f_o}{f_c}} \quad \text{Eq. 2}$$

where  $f_o$  is the output frequency and  $f_c$  is the clock frequency.

This rolloff is because the DAC output is not a series of zero-width impulses (as in a perfect resampler), but a series of rectangular pulses whose width is equal to the reciprocal of the update rate. The amplitude of the  $\sin(x)/x$  response is down 3.92 dB at the Nyquist frequency (1/2 the DAC update rate). In practice, the transfer function of the antialiasing filter can be designed to compensate for the  $\sin(x)/x$  rolloff so that the overall frequency response is relatively flat up to the maximum output DAC frequency (generally 1/3 the update rate).

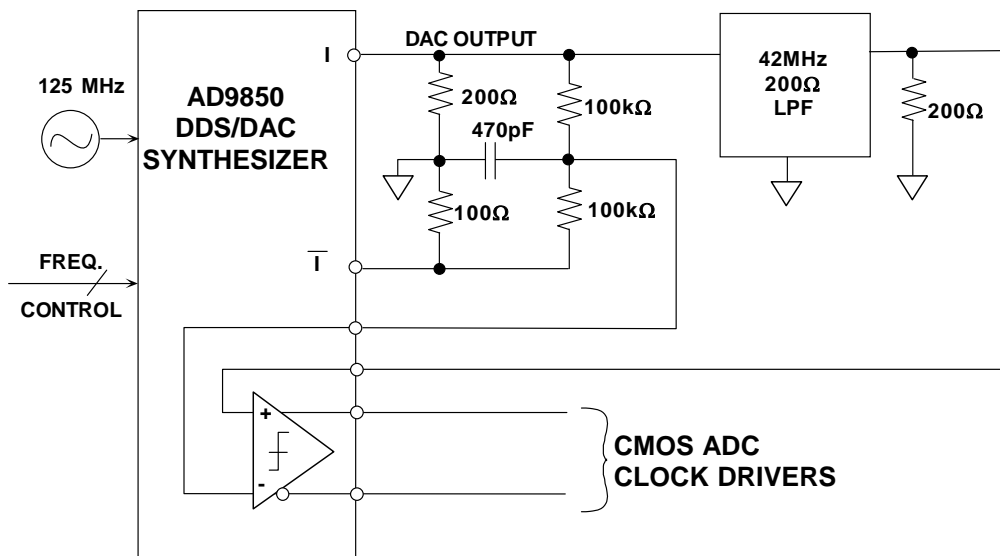
Another important consideration is that, unlike a PLL-based system, the higher order harmonics of the fundamental output frequency in a DDS system will fold back into the baseband because of aliasing. These harmonics cannot be removed by the antialiasing filter. For instance, if the clock frequency is 100 MHz, and the output frequency is 30 MHz, the second harmonic of the

30 MHz output signal appears at 60 MHz (out of band), but also at  $100 - 60 = 40$  MHz (the aliased component). Similarly, the third harmonic (90 MHz) appears inband at  $100 - 90 = 10$  MHz, and the fourth at  $120 - 100$  MHz = 20 MHz. Higher order harmonics also fall within the Nyquist bandwidth (dc to  $f_c/2$ ). The location of the first four harmonics is shown in the figure.

### DDS SYSTEMS AS ADC CLOCK DRIVERS

DDS systems such as the [AD9850](#) provide an excellent method of generating the sampling clock to the ADC, especially when the ADC sampling frequency must be under software control and locked to the system clock (see Figure 6). The *true* DAC output current  $I_{OUT}$ , drives a  $200\ \Omega$ , 42 MHz lowpass filter which is source and load terminated, thereby making the equivalent load  $100\ \Omega$ . The filter removes spurious frequency components above 42 MHz. The filtered output drives one input of the AD9850 internal comparator. The *complementary* DAC output current drives a  $100\ \Omega$  load. The output of the  $100\ \text{k}\Omega$  resistor divider placed between the two outputs is decoupled and generates the reference voltage for the internal comparator.

The comparator output has a 2 ns rise and fall time and generates a TTL/CMOS-compatible square wave. The jitter of the comparator output edges is less than 20 ps rms. True and complementary outputs are available if required.



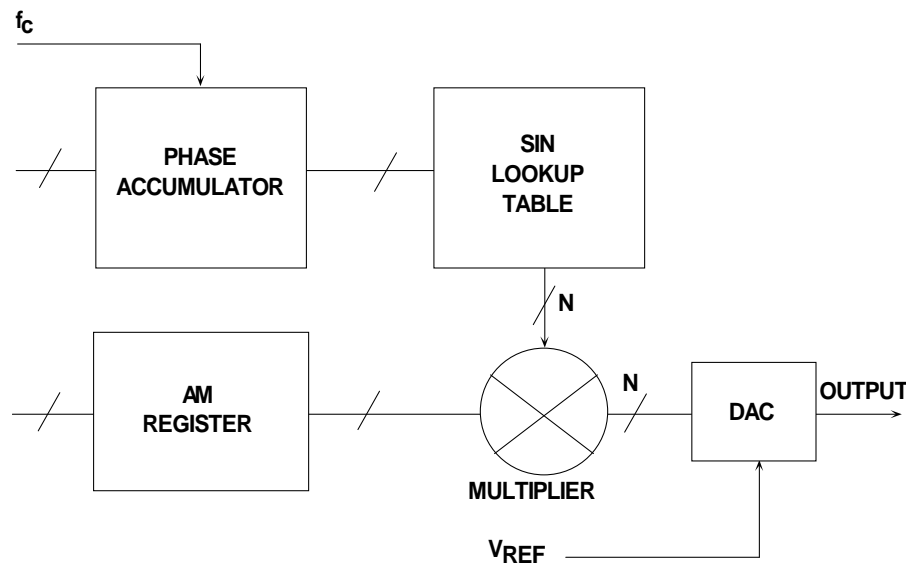
**Figure 6: Using a DDS System as an ADC Clock Drivers**

In the circuit shown (Figure 6), the total output rms jitter for a 40 MSPS ADC clock is 50 ps rms, and the resulting degradation in SNR must be considered in wide dynamic range applications.

### AMPLITUDE MODULATION IN A DDS SYSTEM

Amplitude modulation in a DDS system can be accomplished by placing a digital multiplier between the lookup table and the DAC input as shown in Figure 7. Another method to modulate

the DAC output amplitude is to vary the reference voltage to the DAC. In the case of the AD9850, the bandwidth of the internal reference control amplifier is approximately 1 MHz. This method is useful for relatively small output amplitude changes as long as the output signal does not exceed the +1 V compliance specification.



**Figure 7: Amplitude Modulation in a DDS System**

## SPURIOUS FREE DYNAMIC RANGE CONSIDERATIONS IN DDS SYSTEMS

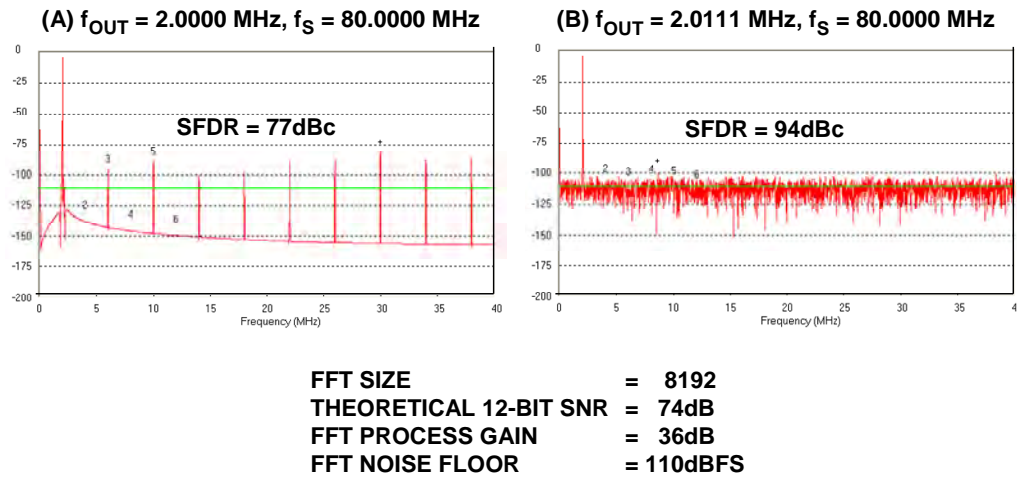
In many DDS applications, the spectral purity of the DAC output is of primary concern. Unfortunately, the measurement, prediction, and analysis of this performance is complicated by a number of interacting factors.

Even an ideal N-bit DAC will produce harmonics in a DDS system. The amplitude of these harmonics is highly dependent upon the ratio of the output frequency to the clock frequency. This is because the spectral content of the DAC quantization noise varies as this ratio varies, even though its theoretical rms value remains equal to  $q/\sqrt{12}$  (where  $q$  is the weight of the LSB). The assumption that the quantization noise appears as white noise and is spread uniformly over the Nyquist bandwidth is simply not true in a DDS system (it is more apt to be a true assumption in an ADC-based system, because the ADC adds a certain amount of noise to the signal which tends to "dither" or randomize the quantization error. However, a certain amount of correlation still exists). For instance, if the DAC output frequency is set to an exact submultiple of the clock frequency, then the quantization noise will be concentrated at multiples of the output frequency, i.e., it is highly signal dependent. If the output frequency is slightly offset, however, the quantization noise will become more random, thereby giving an improvement in the effective SFDR.

This is illustrated in Figure 8, where a 4096 (4k) point FFT is calculated based on digitally generated data from an ideal 12-bit DAC. In the left-hand diagram (A), the ratio between the clock frequency and the output frequency was chosen to be exactly 40, yielding an SFDR of

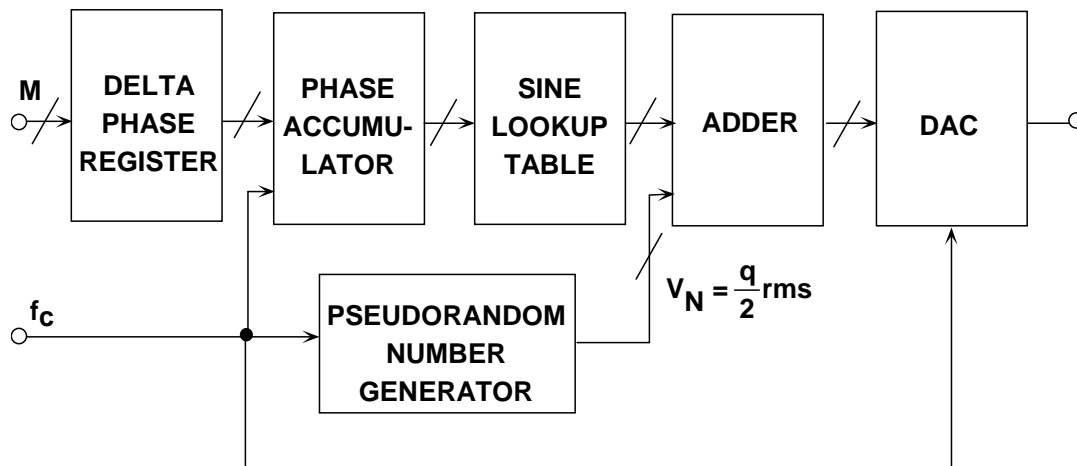


about 77 dBc. In the right-hand diagram, the ratio was slightly offset, and the effective SFDR is now increased to 94 dBc. In this ideal case, we observed a change in SFDR of 17 dB just by slightly changing the frequency ratio.



**Figure 8: Effect of Ratio of Clock to Output Frequency on Theoretical 12-bit DAC SFDR Using 4096-Point FFT**

Best SFDR can therefore be obtained by the careful selection of the clock and output frequencies. However, in some applications, this may not be possible. In ADC-based systems, adding a small amount of random noise to the input tends to randomize the quantization errors and reduce this effect. The same thing can be done in a DDS system as shown in Figure 9 (See References 8, 9, 10). The pseudo-random digital noise generator output is added to the DDS sine amplitude word before being loaded into the DAC. The amplitude of the digital noise is set to about 1/2 LSB. This accomplishes the randomization process at the expense of a slight increase in the overall output noise floor. In most DDS applications, however, there is enough flexibility in selecting the various frequency ratios so that dithering is not required.



**Figure 9: Injection of Digital Dither in a DDS System to Randomize Quantization Noise and Increase SFDR**

The Analog Device's on-line design tool, [ADIsimDDS](#), is an interactive tool to assist the user in selecting and evaluating DDS ICs. It allows the user to select a device, enter the desired operating conditions, and evaluate its general performance. The tool uses mathematical equations to approximate the overall performance of the selected device and does not calculate all possible errors. Therefore, the tool should be used as a design aid only and is not intended to be used as a replacement for actual hardware testing and evaluation.

**REFERENCES:**

1. Ask The Application Engineer—33: All About Direct Digital Synthesis ([Analog Dialogue, Vol. 38](#), August 2004).
2. "Single-Chip Direct Digital Synthesis vs. the Analog PLL," ([Analog Dialogue, Vol. 30, No. 3](#), 1996).
3. [DDS Design](#), By David Brandon, *EDN*, May 13, 2004.
4. [A Technical Tutorial on Digital Signal Synthesis](#), 1999, Analog Devices, Inc.
5. [Direct Digital Synthesis Frequently Asked Questions](#), Analog Devices, Inc.
6. David Buchanan, "Choosing DACs for Direct Digital Synthesis," [Application Note AN-237](#), Analog Devices, Inc.
7. David Brandon, "Direct Digital Synthesizers in Clocking Applications," [Application Note AN-823](#), Analog Devices, 2006.
8. Richard J. Kerr and Lindsay A. Weaver, "Pseudorandom Dither for Frequency Synthesis Noise," *U.S. Patent 4,901,265*, filed December 14, 1987, issued February 13, 1990.
9. Henry T. Nicholas, III and Henry Samuelli, "An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation," *IEEE 41st Annual Frequency Control Symposium Digest of Papers*, 1987, pp. 495-502, IEEE Publication No. CH2427-3/87/0000-495.
10. Henry T. Nicholas, III and Henry Samuelli, "The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects," *IEEE 42nd Annual Frequency Control Symposium Digest of Papers*, 1988, pp. 357-363, IEEE Publication No. CH2588-2/88/0000-357.
11. [ADIsimDDS design tool](#) from Analog Devices.
12. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
13. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## Tema n. 2

Si intende progettare un sistema di trasmissione ad altissima capacità che è parte di una rete nazionale di trasporto dati. A tale scopo, si consideri un collegamento in fibra ottica su di una dorsale lunga 1000 km. Per ciò che riguarda gli effetti propagativi nella fibra ottica, si valutino solo l'attenuazione e la latenza di propagazione. Il collegamento è realizzato con una fibra dall'attenuazione di 0.25 dB/km che è recuperata da  $N$  amplificatori periodicamente collocati in linea e caratterizzati da una potenza massima totale di uscita pari a 17 dBm e da una cifra di rumore pari a 5 dB. Inoltre, si ipotizzi anche la presenza di un amplificatore booster al trasmettitore con pari caratteristiche.

La trasmissione in fibra ottica è operata sulla banda C ampia 5 THz ed i canali sono posti sulla griglia WDM fissa con spaziatura 50 GHz. Si ipotizza di utilizzare transceiver allo stato dell'arte che operano formati di modulazione multilivello con moltiplicazione di polarizzazione e ricezione coerente con spettro rettangolare. La potenza di uscita (Tx) per canale dei transceiver è pari a  $P_{Tx} = -10$  dBm e la richiesta in ingresso (Rx) è pari a  $P_{Rx} = -6$  dBm per canale. Si ipotizzi che la frequenza di segnalazione di simbolo sia pari a 32 Gbaud e che i transceiver possano operare in maniera flessibile i formati di modulazione QPSK oppure 8-QAM oppure 16-QAM a seconda della disponibilità di rapporto segnale/rumore. Si ipotizzi che i transceiver siano in grado di fornire prestazioni (BER vs. OSNR) per ciascun formato di modulazione che corrispondono al limite teorico. Inoltre, si ipotizzi un overhead di dati dovuto ai protocolli ed alle codifiche pari al 28%. Per ciascuno formato di modulazione, il tasso di errore pre-FEC tollerabile è pari a  $BER = 10^{-3}$ , e si ipotizza che vengano anche garantiti  $\mu = 2$  dB di margine di sistema.

1. Descrivere con uno schema a blocchi la trasmissione, la linea e la ricezione. Per ciò che concerne il trasmettitore ed il ricevitore, si identifichino i principali schemi a blocchi. Si evidenzino le richieste in termini di clock per l'elettronica di DSP al trasmettitore ed al ricevitore.
2. Valutare per ciascuno dei tre formati di modulazione che i transceiver possono operare, qual è il bit rate netto per canale e qual è il livello minimo di rapporto segnale rumore ottico (OSNR) che ciascun formato di modulazione può tollerare. Si esprima il OSNR in dB e si consideri una banda di rumore pari a 0.1 nm (12.5 GHz), come è tipico nelle comunicazioni ottiche. Si ricorda che per le comunicazioni ottiche si considera il OSNR aggregato su entrambe le polarizzazioni sfruttate.
3. Per ogni formato di modulazione che i trasmettitori possono generare, si valuti qual è il numero di amplificatori  $N$  minimo necessario per permettere un OSNR adeguato.
4. Si ipotizzi un costo per amplificatore pari a 5 kEU e si ipotizzi per semplicità che il costo del sistema sia dato dai soli amplificatori. Qual è il costo per bit/s nel caso di utilizzo di ciascuno dei tre formati di modulazione, ovvero QPSK oppure 8-QAM oppure 16-QAM, e conseguente dimensionamento della linea?
5. Si ipotizzi che la linea sia dimensionata per operare con il formato di modulazione 16-QAM e si ipotizzi che un guasto porti l'amplificatore numero 3 ad operare con una riduzione della potenza di uscita di 3 dB. Quali sono le conseguenze per il collegamento? Si verifica una riduzione della capacità trasmissiva?
6. Si ipotizzi che la linea sia, come sempre succede, bidirezionale. Ovvero, che sia composta da due collegamenti identici: l'uno per una direzione e l'altro per la direzione opposta. Si ipotizzi inoltre che il ritardo introdotto dai transceiver sia definito dalla sola dimensione del buffer di coder (Tx) e decoder (Rx) del codice FEC, che si suppone pari a 1000 simboli, per tutti i formati di modulazione. Si valuti quant'è la latenza di round-trip che un'applicazione software che opera in uno dei due estremi della linea sperimenta nell'interrogare tramite la linea ottica un'applicazione che opera sull'estremo opposto. Si trascurino tutte le latenze introdotte dai livelli di rete superiori al livello trasmissivo, nonché il tempo di risposta dell'applicazione interrogata.

### Tema n. 3

Una società è proprietaria di un gruppo di edifici di grandi dimensioni, utilizzati come uffici. Si vuole sviluppare un sistema automatico per il controllo della temperatura degli ambienti interni, bilanciando risparmio energetico e benessere.

Ciascun edificio ha quattro lati – orientati secondo i punti cardinali – e diversi piani.

Per ciascun lato dell'edificio e per ciascun piano, si ha in dotazione una coppia di dispositivi, ciascuno in grado di agire sia da sensore che da trasduttore:

- un sistema attivo di controllo dell'energia solare trasmessa all'interno dell'edificio dalle pareti vetrate;
- un ventilconvettore (fan coil).

Entrambi i dispositivi accettano comandi solo da alcuni pulsanti posti sui dispositivi stessi.

Il candidato elabori al meglio almeno nove dei seguenti punti.

1. Quali tecnologie hardware e software utilizzerebbe per rendere interconnessi con un calcolatore remoto l'insieme di coppie di dispositivi summenzionati.
2. Una volta resi i dispositivi in grado di ricevere comandi e trasmettere i dati fisici di competenza, si tracci un diagramma architetturale del sistema complessivo.
3. Si disegni un diagramma entità-relazione per l'organizzazione dei dati raccolti.
4. Un sequence diagram per almeno uno dei due tipi di dispositivi, relativamente alla comunicazione con il sistema centrale.
5. Un elenco - corredato dalle opportune giustificazioni - di quali linguaggi, sistemi operativi, protocolli e eventuali servizi terzi utilizzerebbe per il sistema centrale, distinguendo tra la parte di pure memorizzazione/elaborazione dei dati e quella di presentazione/interazione con l'utente.
6. Nella modellazione del sistema di controllo centralizzato, come utilizzerebbe - a integrazione delle informazioni raccolte dai sensori - la serie storica dei dati relativi all'irraggiamento solare di quella zona, per ciascun punto cardinale.
7. Nella modellazione del sistema di controllo centralizzato, come utilizzerebbe - a integrazione delle informazioni raccolte dai sensori - la possibilità di sfruttare un servizio di previsioni meteorologiche.
8. Nel caso si siano ormai raccolte sufficienti informazioni, indicare come si potrebbe sviluppare un sistema predittivo, specificando a quali famiglie di algoritmi di apprendimento si potrebbe fare riferimento.
9. Quali problemi di latenza potrebbero essere presenti nel sistema e quali contromisure si potrebbero mettere in campo, relativamente sia alle costanti di tempo fisiche trattate che alla natura distribuita dell'architettura.
10. Quali contromisure o persino architetture alternative potrebbero essere impiegate per aumentare la robustezza complessiva del sistema ai guasti o alla propagazione di informazioni false.
11. Quali metodologie di sviluppo e, in generale, di ingegneria del software si potrebbero applicare per ridurre i riciccoli e procedere in uno sviluppo il più parallelo possibile relativamente ai diversi sottoprogetti da interconnettere.
12. Quali aspetti essenziali di sicurezza dovrebbero essere presi in considerazione in fase di progetto.

## Tema n. 4

Un'agenzia pubblicitaria vuole realizzare una base di dati per la gestione delle proprie campagne.

L'agenzia è presente sul mercato con diverse sedi. Ogni sede è caratterizzata da un codice alfanumerico univoco, un indirizzo, la provincia e la regione di appartenenza e, eventualmente, un numero di telefono. Ciascuna sede dell'agenzia realizza campagne pubblicitarie per i prodotti tipici del territorio. Le aziende produttrici sono identificate da un codice e sono caratterizzate dalla ragione sociale. I prodotti, identificati dal nome di vendita e dall'azienda che li produce, sono caratterizzati dal genere (es. alimentare, abbigliamento) e, eventualmente, da un elenco di caratteristiche tecniche.

Ogni campagna pubblicitaria, identificata da una numerazione interna alla sede, è classificata in base al tipo di supporto utilizzato (video, audio o giornale). Per i servizi montati su audio e video è nota la durata (in secondi), mentre per quelli giornalistici è noto il formato (altezza e larghezza). Ogni campagna pubblicitaria è associata a uno o più prodotti. Si vuole memorizzare per ogni prodotto l'azienda di riferimento e l'elenco delle campagne in cui è stato pubblicizzato con il relativo periodo temporale (data di inizio e di fine). Si ipotizzi che lo stesso prodotto possa essere pubblicizzato contemporaneamente in più campagne nonché più volte all'interno della stessa campagna in periodi temporali diversi.

Presso le aziende si organizzano degli stand per pubblicizzare i prodotti. Ciascuno stand viene allestito per determinato periodo di tempo (espresso in giorni) ed è caratterizzato dal prodotto tipico che viene propagandato e dall'azienda presso cui si tiene. Tener traccia degli stand organizzati presso ciascuna azienda, tenendo conto che per lo stesso prodotto più stand possono essere allestiti in periodi differenti mentre un unico stand è disponibile nello stesso periodo.

Ogni campagna audio può prevedere l'uso di apposite sale di registrazione. Le sale sono identificate da un codice e sono caratterizzate da una dimensione (in metri quadri). Si memorizzino le registrazioni effettuate per ogni campagna audio presso le sale tenendo traccia di data e orari di inizio e fine. Si ipotizzi che gli intervalli di tempo di utilizzo di una sala per una campagna siano continuativi e che in ogni sala non sia possibile registrare più campagne audio contemporaneamente.

Il candidato, sulla base delle proprie conoscenze:

1. Descriva, mediante un diagramma E-R, lo schema concettuale di una base di dati per tale applicazione.
2. Costruisca lo schema logico relazionale normalizzato per la stessa base di dati.
3. Definisca i vincoli di integrità referenziali per le relazioni definite ai punti precedenti.
4. Formuli in linguaggio SQL le seguenti interrogazioni sulla base di dati relazionale precedentemente creata:
  - a. Visualizzare il codice e la dimensione delle sale di registrazione presso cui sono state registrate in media almeno due campagne audio al giorno nella fascia oraria tra le 10 e le 18.
  - b. Visualizzare il nome di vendita, l'azienda produttrice e il genere dei prodotti pubblicizzati in non più di 2 campagne svolte nello stesso periodo.
5. Progetti, usando uno o più linguaggi di programmazione a Sua discrezione, un'applicazione Web che si interfacci alla base di dati precedentemente realizzata; l'applicazione deve fornire le seguenti funzionalità:
  - a. Un form Web che permetta di registrare le prenotazioni degli stand da parte delle aziende; in particolare, il form deve raccogliere i dati dell'azienda che prenota, del prodotto tipico presentato nello stand e il periodo di tempo associato alla prenotazione (data di inizio e fine).
  - b. L'inserimento nella base di dati delle informazioni inviate tramite il form mediante l'opportuna transazione.
  - c. Una pagina di risposta che notifichi all'utente l'avvenuto inserimento, eventuali errori nella compilazione del form o la specifica da parte dell'utente di prodotti/aziende già esistenti nella base di dati.

## Tema n. 5

### PROGETTAZIONE E GESTIONE DI UN MAGAZZINO

#### 1. Introduzione

È richiesto al candidato lo sviluppo di un progetto preliminare e di un'ipotesi di gestione di un magazzino automatico servito da trasloelevatori per una multinazionale che commercializza componentistica elettronica. In particolare, è richiesto di eseguire un dimensionamento fisico di massima del magazzino, di valutare delle possibili politiche di gestione delle scorte per alcuni codici prodotto presi come campione e di stimare le principali performance del suddetto magazzino nonché le tempistiche del progetto di realizzazione dello stesso.

#### 2. Quesiti

Sulla base delle informazioni contenute nei seguenti paragrafi, si richiede al candidato di:

- Discutere quali tipologie di mezzi di movimentazione interna sono necessarie nel magazzino.
- Determinare il numero di trasloelevatori necessari.
- Determinare la superficie della zona di ricevimento merci, della zona di stoccaggio e della zona di spedizione delle merci.
- Determinare la superficie complessiva del magazzino e stimare l'altezza netta sotto filo catena dello stesso.
- Determinare il numero delle banchine di scarico e il numero delle banchine di carico delle merci di cui dovrà essere dotato il magazzino.
- Tracciare uno schema di massima del layout del magazzino con indicazione delle quote principali.
- Determinare la durata media di ciclo semplice e la durata media di ciclo combinato per ciascuno dei trasloelevatori utilizzati nel magazzino. Applicare a tal fine la norma F.E.M. 9851.
- Calcolare i seguenti indicatori di performance del magazzino:
  - Selettività.
  - Coefficiente di sfruttamento superficiale.
  - Coefficiente di sfruttamento volumetrico.
- Valutare per ciascuno dei due codici prodotto di cui al Paragrafo 6 la politica di gestione delle scorte che risulta più appropriata e calcolarne le quantità caratteristiche.
- Stendere un diagramma di Gantt per il progetto di realizzazione del nuovo magazzino individuando le relazioni di precedenza tra attività. Determinare la durata totale del progetto e il cammino critico.

**Effettuare le opportune assunzioni per tutte le informazioni non presenti in questo documento.**

#### 3. Progettazione degli spazi del magazzino

Il magazzino in esame dovrà gestire 1.000 codici prodotto differenti e avrà una ricettività pari a 200.000 pallet. Ciascun pallet ha dimensioni pari a 1200 x 800 x 500(h) mm. Ciascun vano di stoccaggio della scaffalatura può accogliere fino a 3 pallet impilati uno sopra l'altro. Per semplicità, si assuma che l'area di un vano di stoccaggio sia pari all'area di base del pallet e che l'altezza utile dello stesso sia multipla dell'altezza di un pallet.

Si considerino inoltre i seguenti dati:

- Altezza massima del sistema di stoccaggio pari a 50 m.
- Spessore del singolo ripiano di stoccaggio pari a 170 mm.
- Larghezza di un corridoio tra due scaffalature: 1.600 mm.
- Potenzialità di movimentazione pari a 9.000 pallet al giorno (4.500 pallet/giorno ricevuti, 4.500 pallet/giorno spediti).
- Peso massimo di un pallet pari a 20 kg.
- Tempo necessario per caricare/scaricare un mezzo pari ad 1 ora.

- Tempo di accettazione merce in ingresso e di movimentazione verso l'area di stoccaggio pari a 1 ora.
- Utilizzo di container da 1 TEU (6,1 x 2,4 x 2,6 (h) m) sia per i carichi in ingresso al magazzino sia per quelli in uscita.
- Un giorno lavorativo pari a 8 ore.
- Numero di cicli all'ora del trasloelevatore:
  - Ciclo semplice: 30-40 cicli all'ora.
  - Ciclo combinato: 20-25 cicli all'ora.
- Efficienza del trasloelevatore: 85%-90%.
- Tipo di trasloelevatore: single shuttle. Un trasloelevatore dedicato a ciascun corridoio.
- Capacità portante del pavimento: 2.500 kg/m<sup>2</sup>.

#### 4. Valutazione dei tempi ciclo del trasloelevatore

Come parte dello studio occorre calcolare la durata media di ciclo semplice e la durata media di ciclo combinato di ciascuno dei trasloelevatori che saranno utilizzati nel magazzino. A tal fine si consideri che:

- La quota del punto di I/O del magazzino è posta a 1 m dal piano pavimento.
- La velocità di traslazione orizzontale del trasloelevatore è pari a 1,5 m/s.
- La velocità di traslazione verticale del trasloelevatore è pari a 0,6 m/s.
- I tempi fissi (tempi ciclo delle forcole del trasloelevatore, che includono anche i tempi di centraggio)  $t_{fissi}$  sono complessivamente pari a 20 s.

#### 5. Valutazione delle performance del magazzino

Per il calcolo dei coefficienti di sfruttamento superficiale e volumetrico si consideri una situazione in cui il magazzino abbia tutte le scaffalature completamente occupate per i soli primi due vani di stoccaggio inferiori.

#### 6. Gestione delle scorte

In fase di progettazione del magazzino si vogliono anche considerare possibili politiche di gestione delle scorte da applicare ai singoli codici che saranno stoccati presso lo stesso. E' stata eseguita un'analisi ABC volta a creare una tassonomia dei codici prodotto in base ai loro livelli di giacenza attesa e al conseguente immobilizzo di capitale. Si considerino i seguenti due prodotti C0045 e C0136.

Il codice prodotto C0045 è un prodotto di classe A la cui domanda settimanale è distribuita secondo una normale con media pari a 80 unità e scarto quadratico medio pari a 10 unità. Il lead time del fornitore è anche esso distribuito secondo una normale con media pari ad 1 settimana e scarto quadratico medio pari a 0,5 settimane. Il prezzo unitario di vendita del bene è pari a 200 €/unità, il costo di emissione dell'ordine è pari a 30 €/ordine e il costo unitario di giacenza è pari al 30% del prezzo di vendita su base annuale.

Il codice C0136 è un prodotto di classe C la cui domanda settimanale è distribuita secondo una normale con media pari a 4.000 unità e deviazione standard pari a 1.000 unità. Il lead time del fornitore di questo prodotto è anche esso distribuito secondo una normale con valore medio pari a 2 settimane e deviazione standard pari a 0,4 settimane. Il prezzo unitario di vendita del bene è pari a 10 €/unità, il costo di emissione dell'ordine è pari a 30 €/ordine e il costo unitario di giacenza è pari al 22% del prezzo di vendita su base annuale.

Si assuma inoltre:

- Un anno lavorativo pari a 50 settimane.
- Probabilità di non andare in stockout pari a 96%.

Se necessario, considerare un intervallo temporale tra una revisione del livello di giacenza del codice e la successiva pari a 6 settimane.

Vedere anche Allegato.

### 7. Programmazione del progetto di costruzione del magazzino

Il progetto di realizzazione del nuovo magazzino si svilupperà secondo le seguenti attività (Tabella 1), ognuna delle quali riportata con la sua durata stimata (miglior valore attualmente disponibile):

Codice fase/attività	Nome fase/attività	Durata [gg lavorativi]
<b>0</b>	<b>FASE DI START-UP</b>	
0.1	Stipula contratto	10
0.2	Planning	4
<b>1</b>	<b>FASE DI PROGETTAZIONE</b>	
1.1	Progettazione layout	14
1.2	Progettazione sistema di stoccaggio	15
1.3	Progettazione sistema di movimentazione	10
1.4	Progettazione impianti generali	12
1.5	Specifiche per sistema gestionale	8
<b>2</b>	<b>FASE DI ACQUISTO</b>	
2.1	Richieste offerte dai fornitori	5
2.2	Ricevimento offerte dai fornitori	20
2.3	Trattative offerte	10
2.4	Emissione ordini a fornitori	2
<b>3</b>	<b>FASE DI FABBRICAZIONE E TRASPORTO MATERIALI</b>	
3.1	Sistema di stoccaggio	60
3.2	Sistema di movimentazione	30
3.3	Sistema gestionale	40
<b>4</b>	<b>FASE DI LAVORI CIVILI</b>	
4.1	Scavi e realizzazione fondazioni	15
4.2	Realizzazione strutture portanti	30
4.3	Realizzazione coperture	10
4.4	Realizzazione tamponature laterali	10
4.5	Realizzazione pavimentazioni	16
4.6	Realizzazione impianti generali	20
<b>5</b>	<b>FASE DI INSTALLAZIONE E MONTAGGIO IN CANTIERE</b>	
5.1	Sistema di stoccaggio	12
5.2	Sistema di movimentazione	8
5.3	Sistema gestionale	3
5.4	Pre-collaudo complessivo	2
6	Collaudo generale magazzino	3
7	Consegna del magazzino	1
<b>8</b>	<b>FASE DI MANAGEMENT</b>	
8.1	Project Management	In base a durata progetto
8.2	Management del cantiere	In base a durata progetto in cantiere

Tabella 1. Attività del progetto di realizzazione del magazzino



Allegato: tabella per calcolo k (Gestione delle Scorte)

<b>k</b>	<b>Probability no stockout</b>	<b>Probability stockout</b>
0,00	0,5000	50,00%
0,25	0,5987	40,13%
0,50	0,6915	30,85%
0,75	0,7734	22,66%
1,00	0,8413	15,87%
1,25	0,8944	10,56%
1,50	0,9332	6,68%
1,75	0,9599	4,01%

<b>k</b>	<b>Probability no stockout</b>	<b>Probability stockout</b>
2,00	0,9772	2,28%
2,25	0,9878	1,22%
2,50	0,9938	0,62%
2,75	0,9970	0,30%
3,00	0,9987	0,13%
3,25	0,9994	0,06%
3,50	0,9998	0,02%
3,75	0,9999	0,01%