

POLITECNICO DI TORINO

ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE II SESSIONE ANNO 2002 - SEZIONE A - RAMO ELETTRONICA – TEMA 2

Progettare un controllore di cache in grado di gestire richieste dal processore e, in caso di miss, il rimpiazzo. Il controllore deve avere:

- Una porta verso il processore con
 - bus dati separati a 8 bit per lettura (uscita da controllore a processore) e scrittura (ingresso da processore a controllore),
 - bus indirizzi a 16 bit (ingresso da processore a controllore)
 - 2 ingressi di controllo (qualsiasi protocollo ragionevole va bene per letture e scritture):
 - enable segnala un ciclo in corso
 - write segnala un ciclo di scrittura
- Una porta verso la memoria principale con
 - bus dati separati a 8 bit per lettura (ingresso da memoria a controllore) e scrittura (uscita da controllore a memoria),
 - bus indirizzi a 16 bit (uscita da controllore a memoria)
 - 2 uscite di controllo (qualsiasi protocollo ragionevole va bene per letture e scritture):
 - enable segnala un ciclo in corso
 - write segnala un ciclo di scrittura
- Una porta verso la cache, direct mapped da 256 linee di 4 byte ciascuna, con:
 - bus indirizzi a 10 bit (uscita da controllore a cache)
 - bus dati a 8 bit separati per la lettura (ingresso) e la scrittura (uscita)
 - tag (ingresso da cache a controllore) a 6 bit
 - ingresso da cache che dice se il tag e' valido
 - 2 uscite di controllo (qualsiasi protocollo ragionevole va bene per letture e scritture):
 - enable segnala un ciclo in corso
 - write segnala un ciclo di scrittura

Eseguire i passi seguenti di progetto:

- Progettare lo schema a blocchi, usando blocchi funzionali quali: registri a n bit con abilitazione al caricamento (Enable) e Reset sincroni, sommatore, multiplexer, eccetera.
- Disegnare il diagramma a stati dell'unità di controllo, indicando il valore dei segnali di controllo (Enable dei registri, controlli dei multiplexer) in ogni stato (se il diagramma è di Moore) o per ogni transizione (se il diagramma è di Mealy).
- Analizzare i ritardi nei blocchi principali, supponendo che il ritardo di ciascuna delle porte base (NOT, NAND fino a 4 ingressi, NOR fino a 4 ingressi, XOR a 2 ingressi) sia di 0.1 nsec, e stimare la frequenza massima di funzionamento. Supporre che i registri abbiano tempo di setup di 1 nsec e tempo di hold di 0 nsec.

Non essendo possibile affrontare problematiche di sicurezza e normative per questo progetto, il candidato e' invitato a scrivere un breve saggio sulle funzioni dell'ordine degli ingegneri in allegato al compito.