

ESAME di STATO

Prova n. 2

TESTO

Progettare un sistema di acquisizione dei segnali di tre sensori accelerometrici orientati secondo i tre assi coordinati con dinamica per asse di $\pm 50 \text{ m/s}^2$ e con banda da 0.2 a 500 Hz che trasmetta in sequenza i dati acquisiti su linea seriale ad un sistema di elaborazione remoto. Scegliere la frequenza di campionamento per ottimizzare il progetto a livello di sistema.

Per quanto riguarda la parte analogica il progetto deve essere completo fino alla lista dei componenti, mentre per quanto riguarda la parte digitale si veda nel seguito.

Progettare inoltre l'algoritmo che sull'elaboratore remoto, a partire dai dati ricevuti, ricostruisca, l'andamento temporale, istante per istante, del modulo del vettore accelerazione nello spazio e codificare tale algoritmo in un linguaggio di programmazione a scelta.

DATI

Sensori

Il circuito equivalente per il piccolo segnale di ciascun sensore è un generatore di tensione con impedenza interna inferiore a 50Ω . I sensori sono alimentati indipendentemente, hanno una sensibilità di $1 \text{ mV}/(\text{m/s}^2)$ e devono venire connessi al sistema di acquisizione in alternata.

Alimentazione

$\pm 5 \text{ V}$ con tolleranza del 5%, assorbimento massimo 200 mA

Precisione richiesta: $\pm 0.2 \text{ m/s}^2$ per singolo canale

Protocollo di trasmissione

Il protocollo di trasmissione è organizzato gerarchicamente secondo 3 livelli, rispettivamente di byte, di dato e di sequenza.

Protocollo di byte

Ogni byte viene trasmesso secondo un protocollo di comunicazione puramente seriale con 1 bit di start, 8 bit di dato, 1 bit di parità pari e 1 bit di stop.

Protocollo di dato

Il dato del singolo sensore viene trasmesso su 2 bytes consecutivi di cui:

- il primo contiene nei suoi 4 bit più significativi l'identificativo del canale e nei suoi 4 bit meno significativi i bit più significativi del dato;
- il secondo contiene gli 8 bit meno significativi del dato

Protocollo di sequenza

In ogni sequenza di campionamento vengono trasmessi i seguenti dati

- Dato di sincronizzazione contenente indicazione di canale 0 e di valore dato 0 (corrisponde a 2 bytes nulli)
- Dato relativo a canale 1 (asse x)
- Dato relativo a canale 2 (asse y)
- Dato relativo a canale 3 (asse z)

Velocità di trasmissione: 460 kbit/s

Realizzazione hardware digitale

La parte digitale sarà realizzata con logica programmabile. Il progetto dovrà essere realizzato a livello schematico utilizzando le porte elementari e gli elementi di memorizzazione preferiti.

Per il dimensionamento del componente da utilizzare occorre indicare la complessità del progetto in gates equivalenti, il numero di pin di ingresso/uscita e la frequenza minima di clock a cui deve essere in grado di operare. Scegliere la frequenza del clock della parte digitale

Per quanto riguarda l'interfaccia verso la linea di comunicazione limitarsi al solo progetto logico senza progettare le interfacce analogiche verso la linea stessa.

Interfaccia software

A livello dell'elaboratore remoto si supponga disponibile una routine di interfaccia GETCHAR che legge un singolo byte dalla linea seriale

Vengono forniti in allegato i dat sheet di alcuni componenti senza che questo ne implichi l'uso da parte dei candidati che sono completamente liberi di utilizzare altri componenti che soddisfino alle specifiche del progetto.

LM6132 /LM6134 Dual and Quad Low Power 10 MHz Rail-to-Rail I/O Operational Amplifiers

General Description

The LM6132/34 provides new levels of speed vs power performance in applications where low voltage supplies or power limitations previously made compromise necessary. With only 360 μ A/amp supply current, the 10 MHz gain-bandwidth of this device supports new portable applications where higher power devices unacceptably drain battery life.

The LM6132/34 can be driven by voltages that exceed both power supply rails, thus eliminating concerns over exceeding the common-mode voltage range. The rail-to-rail output swing capability provides the maximum possible dynamic range at the output. This is particularly important when operating on low supply voltages. The LM6132/34 can also drive large capacitive loads without oscillating.

Operating on supplies from 2.7V to over 24V, the LM6132/34 is excellent for a very wide range of applications, from battery operated systems with large bandwidth requirements to high speed instrumentation.

Features

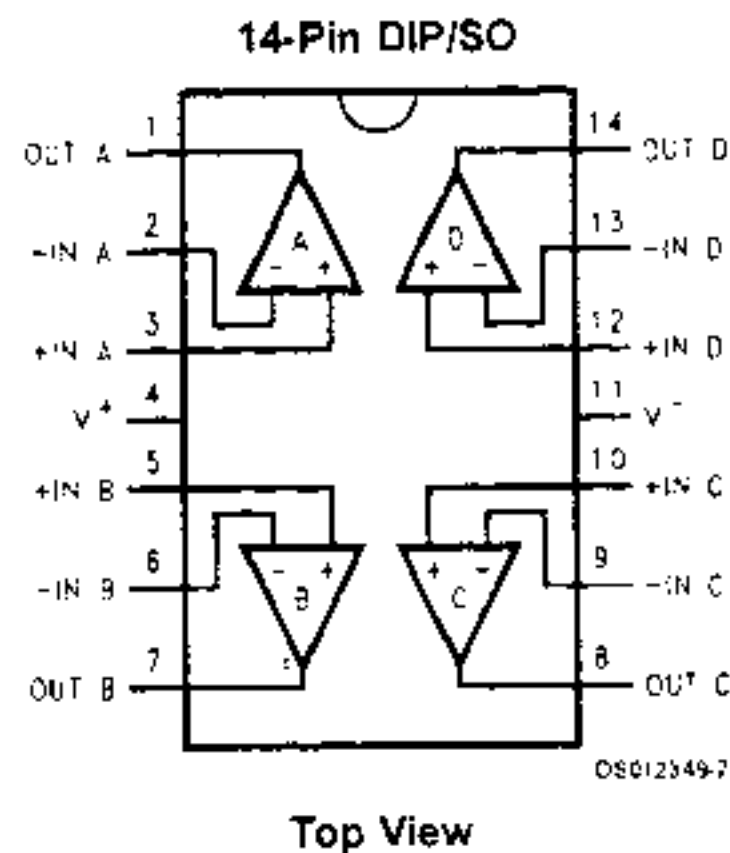
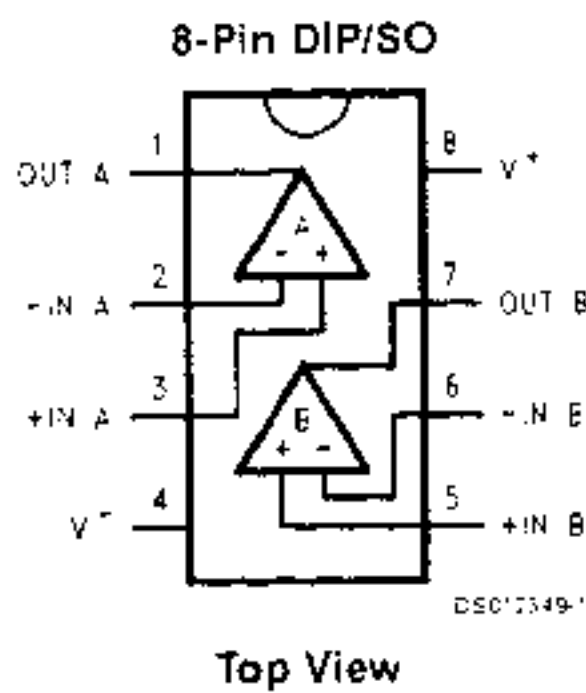
(For 5V Supply, Typ Unless Noted)

- Rail-to-Rail input CMVR $-0.25V$ to $5.25V$
- Rail-to-Rail output swing $0.01V$ to $4.99V$
- High gain-bandwidth, 10 MHz at 20 kHz
- Slew rate 12 V/ μ s
- Low supply current 360 μ A/Amp
- Wide supply range 2.7V to over 24V
- CMRR 100 dB
- Gain 100 dB with $R_L = 10k$
- PSRR 82 dB

Applications

- Battery operated instrumentation
- Instrumentation Amplifiers
- Portable scanners
- Wireless communications
- Flat panel display driver

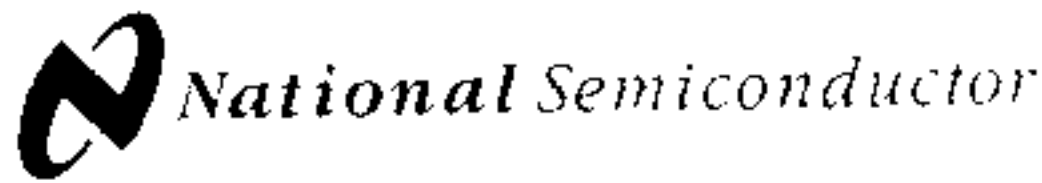
Connection Diagrams



Ordering Information

Package	Temperature Range Industrial, $-40^{\circ}C$ to $+85^{\circ}C$	NSC Drawing	Transport Media
8-Pin Molded DIP	LM6132AIN, LM6132BIN	N08E	Rails
8-Pin Small Outline	LM6132AIM, LM6132BIM	M08A	Rails
	LM6132AIMX, LM6132BIMX	M08A	Tape and Reel
14-Pin Molded DIP	LM6134AIN, LM6134BIN	N14A	Rails
14-Pin Small Outline	LM6134AIM, LM6134BIM	M14A	Rails
	LM6134AIMX, LM6134BIMX	M14A	Tape and Reel

LM6132 and LM6134 Dual and Quad, Low Power 10 MHz Rail-to-Rail I/O Operational Amplifiers



November 2001

ADC10461/ADC10462/ADC10464 10-Bit 600 ns A/D Converter with Input Multiplexer and Sample/Hold

ADC10461/ADC10462/ADC10464 10-Bit 600 ns A/D Converter with Input Multiplexer and Sample/Hold

General Description

Using an innovative, patented multistep[™] conversion technique, the 10-bit ADC10461, ADC10462, and ADC10464 CMOS analog-to-digital converters offer sub-microsecond conversion times yet dissipate a maximum of only 235 mW. The ADC10461, ADC10462, and ADC10464 perform a 10-bit conversion in two lower-resolution "flashes", thus yielding a fast A/D without the cost, power dissipation, and other problems associated with true flash approaches. Dynamic performance (THD, S/N) is guaranteed. The ADC10461 is pin-compatible with the ADC1061 but much faster, thus providing a convenient upgrade path for the ADC1061.

The analog input voltage to the ADC10461, ADC10462, and ADC10464 is sampled and held by an internal sampling circuit. Input signals at frequencies from dc to over 200 kHz can therefore be digitized accurately without the need for an external sample-and-hold circuit.

The ADC10462 and ADC10464 include a "speed-up" pin. Connecting an external resistor between this pin and ground reduces the typical conversion time to as little as 350 ns with only a small increase in linearity error.

For ease of interface to microprocessors, the ADC10461, ADC10462, and ADC10464 have been designed to appear as a memory location or I/O port without the need for external interface logic.

Features

- Built-in sample-and-hold
- Single +5V supply
- 1, 2, or 4-input multiplexer options
- No external clock required
- Speed adjust pin for faster conversions (ADC10462 and ADC10464)

Key Specifications

- Conversion time to 10 bits 600 ns typical
- Sampling Rate 800 kHz
- Low power dissipation 235 mW (max)
- Total harmonic distortion (50 kHz) -60 dB (max)
- No missing codes over temperature

Applications

- Digital signal processor front ends
- Instrumentation
- Disk drives
- Mobile telecommunications

Note: U.S. Patent Number 4918449

Ordering Information

Industrial Temp Range (-40°C ≤ T _A ≤ +85°C)	Package
ADC20461CIWM	M20B Small Outline
ADC20462CIWM	M24B Small Outline
ADC20464CIWM	M28B Small Outline