

**ESAME DI ABILITAZIONE PROFESSIONALE
SECONDA SESSIONE - 27 NOVEMBRE 2007
VECCHIO ORDINAMENTO
INGEGNERIA ELETTRONICA**

TEMA N. 2

Il candidato progetti un sistema elettronico per la sorveglianza remota di ambienti sensibili (si pensi ad esempio al caso del Bancomat, distributori automatici, casse, sportelli...). Il sistema è realizzato su una scheda elettronica sulla quale sono presenti i seguenti componenti:

- Telecamera (vedasi allegato A)
- Memoria flash per il salvataggio dei dati (vedasi allegato B)
- Blocco di elaborazione e processamento del segnale.

Oltre alla videocamera si ipotizzi la presenza di un sensore piroelettrico di movimento nell'area da sorvegliare. Il sistema dovrà funzionare secondo le seguenti specifiche:

- in mancanza di moto rilevato dal sensore il sistema dovrà memorizzare un fotogramma ogni ora;
- in presenza di moto il sistema acquisirà tre fotogrammi dell'ambiente sorvegliato a distanza di cinque secondi l'uno dall'altro.

Il sensore piroelettrico (acquisito come modulo completo) richiede una alimentazione a 5V, 30mA e fornisce al sistema una uscita digitale (Moto/Presenza = '0', Nessun segnale = '1'). La memorizzazione delle immagini andrà fatta su un dispositivo non volatile tipo modulo di memoria Flash.

Passi richiesti per il progetto

1. Definire lo schema a blocchi dell'intero sistema indicando per ciascun blocco le specifiche (funzionalità che deve svolgere, segnali di interconnessione, codifica, eventuale dinamica, parallelismo).
2. Per ciascun blocco individuare il tipo di realizzazione ritenuta più conveniente, indicare i componenti idonei quali processori, logiche programmabili, circuiti analogici.
3. Procedere alla progettazione di uno dei blocchi individuati. Se il blocco è basato su microprocessore indicare le funzionalità software mediante flow-chart delle procedure riportando alcuni brani del codice; qualora si usino ASIC, FPGA, PLD riportare le loro funzionalità interne (o con schemi elettrici o con codice VHDL).
4. Analizzare il sottosistema di alimentazione discutendo il possibile utilizzo di una batteria o della tradizionale rete elettrica; nel primo caso si evidenzino eventuali ottimizzazioni in grado di rendere il progetto adatto all'alimentazione a batterie.

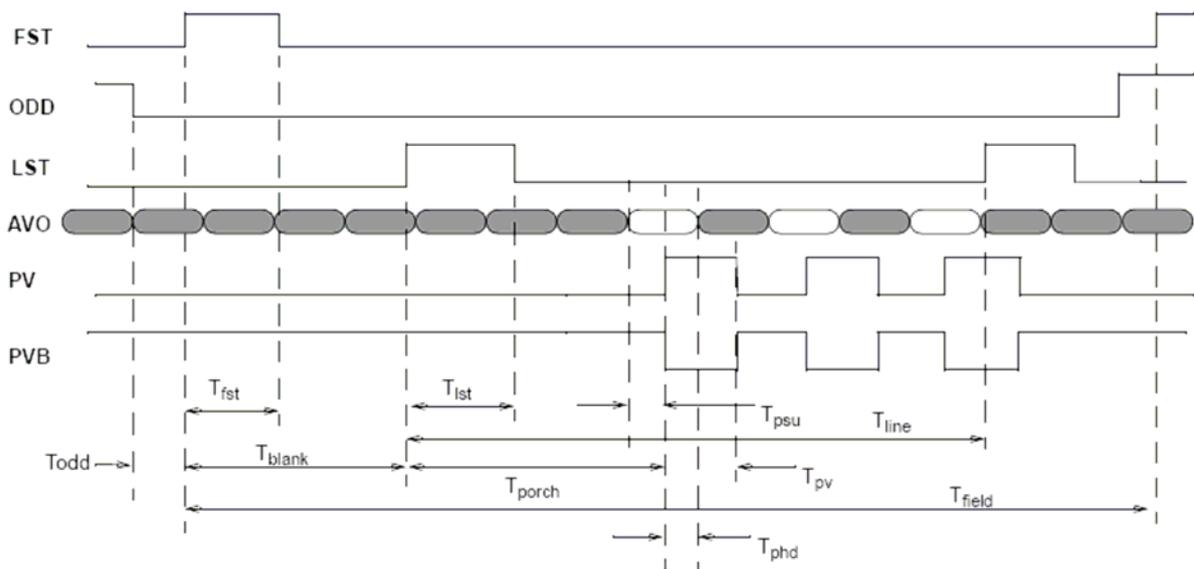
Allegato A: Monochrome Analog Output CMOS Image Sensors

Width = 320
 Height = 243
 Vblack = 1V
 Vwhite = 2.5V
 Line period = 63.5us

Protocol:

- FST: Field Start, The rising edge signals the start of a field.
- LST: Line Start, The rising edge signals the start of a visible line.
- ODD: identifies an odd field within a frame
- PV, PVB: Pixel Valid, Pixel Valid Bar, Complementary signals, their leading edges qualify valid pixel levels.

The following diagram illustrates the relative timing of the image capture signals. Scale is not actual but edge succession is preserved.



- Crystal frequency (F_{CKIN}): 12 MHz
- Pixel clock period ($T_{pck}=2/F_{CKIN}$): 166.67 ns
- PV high period ($T_{pv}=T_{pck}/2$): 83.34 ns
- Line period (T_{line}): 63.5 us ($381 \times T_{pck}$)
- Field Period (T_{field}): 16.637 ms ($262 \times T_{line}$)
- FST duration (T_{FST}): 6.1us ($45 \times T_{pck}$)
- LST duration (T_{LST}): 4.66 us ($28 \times T_{pck}$)
- First visible line delay (T_{blank}): 762.833 us ($12 \times T_{line} + T_{pck}$)
- First visible pixel delay (T_{porch}): 8.833 us ($53 \times T_{pck}$)
- Visible line period: 53.333 us ($W \times T_{pck}$)
- Max AVO to PV setup time (T_{psu}): 41.7 ns
- Min. PV to AVO hold time (T_{phd}): 40 ns

- ODD to FST rise (T_{odd}): 11.5 ms ($69 \times T_{\text{pck}}$)

Allegato B: Flash memory

1 Gbit

1.8 V supply

Memory organization:

- 1024 blocks
- 1 block = 64 pages
- 1 page = 2048 bytes

PINS:

- $\overline{\text{E}}$ chip enable
- CL command latch enable
- AL address latch enable
- $\overline{\text{R}}$ read enable
- $\overline{\text{W}}$ write enable
- I/O0-7 data input/output, address input or command input

Synchronous bus operations at 33 MHz:

Bus Operation	$\overline{\text{E}}$	AL	CL	$\overline{\text{R}}$	$\overline{\text{W}}$	I/O0-7
Command Input	V _{IL}	V _{IL}	V _{IH}	V _{IH}	V _{IL}	Command
Address Input	V _{IL}	V _{IH}	V _{IL}	V _{IH}	V _{IL}	Address
Data Input	V _{IL}	V _{IL}	V _{IL}	V _{IH}	V _{IL}	Data Input
Data Output	V _{IL}	V _{IL}	V _{IL}	V _{IL}	V _{IH}	Data Output

Commands operations require 1 or 2 cycles:

- READ
 - First cycle 0x00
 - Second cycle 0x30
- SINGLE WRITE
 - 0x85
- BURST WRITE
 - First cycle 0x80
 - Second cycle 0x10

NOTE: burst write allows to program 1 page.

Address structure:

- A27-A18 block address
- A17-A12 page address
- A11-A0 byte address

Address operations require 4 cycles:

Bus Cycle	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
1 st	A7	A6	A5	A4	A3	A2	A1	A0
2 nd	V _{IL}	V _{IL}	V _{IL}	V _{IL}	A11	A10	A9	A8
3 rd	A19	A18	A17	A16	A15	A14	A13	A12
4 th	A27	A26	A25	A24	A23	A22	A21	A20

Example: full speed page burst write

