

POLITECNICO DI TORINO

ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE II SESSIONE ANNO 2002 - SEZIONE B - RAMO ELETTRONICA – TEMA 2

Progettare un moltiplicatore seriale in virgola mobile, che accetti dati in ingresso nel seguente formato (standard IEEE singola precisione, ignorando i valori "speciali" NaN etc.):

- 1 bit di segno
- 8 bit di esponente, codificato come intero senza segno, sommando 127 al valore (p.es. l'esponente 2 e' codificato come 129, l'esponente 0 come 127, l'esponente -1 come 126, l'esponente -10 come 117, etc.)
- 23 bit di modulo della mantissa (il segno e' dato dal bit di segno in 1° posizione), con virgola prima della prima cifra (la mantissa rappresenta un numero sempre minore di 1, quindi).

Il moltiplicatore ha due ingressi a 32 bit A e B, e una uscita a 32 bit C, ognuno che rappresenta un numero in virgola mobile. Inoltre ha un ingresso a 1 bit REQ, che segnala (con valore 1) quando sono presenti dati validi su A e B, ed una uscita a 1 bit ACK, che segnala (con valore 1) quando e' presente un risultato valido su C, alla fine di una moltiplicazione. ACK rimane ad 1 (e C rimane valido) finche' non arriva il successivo REQ ad 1.

Ignorate i casi particolari di overflow e underflow, e la normalizzazione del risultato.

Suggerimento: il moltiplicatore deve usare la solita tecnica di moltiplicazione in colonna (in base 2 in questo caso), creando il prodotto parziale del moltiplicando per un bit del moltiplicatore ad ogni passo, ed usando un sommatore a 48 bit e un registro a scorrimento (shift register) per accumulare i prodotti parziali. Per l'esponente basta un sommatore a 8 bit, ovviamente.

Eseguire i passi seguenti di progetto:

- Progettare lo schema a blocchi, usando blocchi funzionali quali: registri a n bit con abilitazione al caricamento (Enable) e Reset sincroni, sommatore, multiplexer, eccetera.
- Disegnare il diagramma a stati dell'unità di controllo, indicando il valore dei segnali di controllo (Enable dei registri, controlli dei multiplexer) in ogni stato (se il diagramma è di Moore) o per ogni transizione (se il diagramma è di Mealy).
- Analizzare i ritardi nei blocchi principali, supponendo che il ritardo di ciascuna delle porte base (NOT, NAND fino a 4 ingressi, NOR fino a 4 ingressi, XOR a 2 ingressi) sia di 0.1 nsec, e stimare la frequenza massima di funzionamento. Supporre che i registri abbiano tempo di setup di 1 nsec e tempo di hold di 0 nsec.