

Protocolli di trasmissione come Ethernet e ATM utilizzano codici polinomiali per la rilevazione degli errori (CRC). Queste tecniche possono essere implementate sia con approcci software che hardware. Con tecniche hardware si realizzano circuiti CRC che calcolano un checksum che appeso alla fine del pacchetto rende il polinomio rappresentato dallo stesso pacchetto su cui si è verificato il checksum divisibile per un opportuno polinomio $G(x)$.

Il candidato progetti con tecniche di Hardware Description Language (p. esempio usando il linguaggio VHDL) il circuito generatore del CRC.

In particolare vengono richiesti i seguenti punti:

- 1) breve descrizione della funzione matematica implementata dal CRC con i criteri utilizzabili per la scelta del polinomio generatore e esempi utilizzati dai protocolli standard quali il CRC X.25 (CCITT)
- 2) Schema a blocchi generale del sistema completo trasmettitore/ricevitore che invia/riceve i dati e genera/verifica il CRC
- 3) Schema a blocchi dettagliato dei circuiti (e loro organizzazione) necessari per realizzare il trasmettitore in real time. Si richiede quindi lo schema dei vari circuiti necessari a gestire le varie fasi delle operazioni (serializzazione, clock, generazione dei bit di CRC, gestione della codifica, gestione della trasmissione). I dati arrivano in forma parallela (8 bit) dal microprocessore e vengono trasmessi in forma seriale al circuito CRC. Le specifiche di questo circuito sono
 - a. 8 bit di dato + 4 bit di CRC
 - b. polinomio, $x^4 + x^3 + x^2 + 1$
- 4) Codice HDL dei blocchi esposti nel punto 3